



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: Sung-Kwon LEE, et al.

Serial No.: 10/607,052

Group Art Unit: 2812

Filed: June 27, 2003

Examiner: Not Yet Assigned

Title: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE CAPABLE OF
REDUCING SEAM GENERATIONS

* * * * *

CLAIM FOR PRIORITY
UNDER 35 U.S.C. §119

Honorable Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 25, 2003

Sir:

The benefit of the filing date of prior foreign application
No. 2002-37257, filed in Korea on June 29, 2002, is hereby
requested and the right of priority provided in 35 U.S.C. §119 is
hereby claimed.

In support of this claim, filed herewith is a certified copy
of said original foreign application.

Respectfully submitted,

By: Yoon S. Ham by Susan C. Fealey
Yoon S. Ham
Reg. No. 45,307 Reg. No. 40,495

JACOBSON HOLMAN, PLLC
The Jenifer Building
400 Seventh Street, N.W.
Washington, D.C. 20004-2201
Telephone: (202) 638-6666

Atty. Docket No.: P68950US0
YSH:dj

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0037257
Application Number

출원년월일 : 2002년 06월 29일
Date of Application JUN 29, 2002

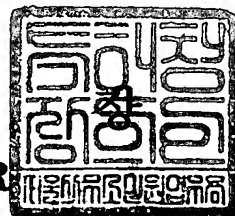
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.03.21
【제출인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【사건과의 관계】	출원인
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【사건의 표시】	
【출원번호】	10-2002-0037257
【출원일자】	2002.06.29
【심사청구일자】	2002.03.21
【발명의 명칭】	플러그 심을 억제할 수 있는 반도체소자 제조방법
【제출원인】	
【접수번호】	1-1-02-0207245-84
【접수일자】	2002.06.29
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 특허법인 신성 (인)
【수수료】	
【보정료】	0 원
【추가심사청구료】	0 원
【기타 수수료】	0 원
【합계】	0 원

1020020037257

출력 일자: 2003/5/15

【첨부서류】

1. 보정내용을 증명하는 서류[발명의상세한설명, 특허청구범위, 도면보정]_1통



【보정대상항목】 식별번호 17

【보정방법】 정정

【보정내용】

SAC에 의한 플러그 식각시 T형 플러그 마스크 또는 I형 플러그 마스크를 이용하는데, 이는 플러그 간을 절연시키기 위한 산화막을 식각하여 플러그 콘택홀을 형성한 후, 플러그 콘택홀에 예컨대, 폴리실리콘을 증착하고 이를 화학기계적 연마(Chemical Mechanical Polishing; 이하 CMP라 함) 공정으로 평탄화시켜 콘택홀에 플러그를 매립시키는 기술인 바, 층간절연막(Inter Layer Dielectric; ILD)에 의해 절연된 하부 전도층과 상부 전도층 간의 콘택을 실시함에 있어서, 콘택홀 형성후 이 콘택홀 내부에만 폴리실리콘 등의 플러그 물질을 매립하여 플러그를 형성하는 이러한 방법이 널리 사용되고 있다.

【보정대상항목】 식별번호 27

【보정방법】 정정

【보정내용】

활성영역(101)은 보통 반도체 기판(100)의 상부에서 보아 예를 들어, 긴 타원 형태로 형성한다. 반도체 기판(100) 상에 산화막 계열의 게이트절연막(도시하지 않음)을 사이에 두고, 게이트 전극용 전도막(104a) 및 게이트 하드마스크(104b)를 차례로 형성한다. 상기 게이트절연막은 예를 들어, 50Å ~ 100Å의 두께 범위 내로 형성된다.



【보정대상항목】 식별번호 29

【보정방법】 정정

【보정내용】

게이트 하드마스크(104b)는 후속 공정으로 형성되는 층간절연막(108)과 식각 선택비를 갖는 물질 예를 들어, 실리콘 질화막(siliconnitride layer) 등을 이용한다.

【보정대상항목】 식별번호 31

【보정방법】 정정

【보정내용】

게이트전극(104a) 양측의 활성영역(101)에 LDD(lightly doped drain) 구조를 위한 저농도 소오스/드레인 불순물 이온을 주입한다. 게이트전극(104a) 및 게이트 하드마스크(104b)를 포함하여 반도체 기판(100) 전면에서 게이트 스페이서 형성용 절연막(106)을 증착하는 바, 스페이서용 절연막(106)은 게이트 하드마스크(104b)와 마찬가지로, 후속 공정에 의해 형성되는 층간절연막(108)과 식각선택비를 갖는 물질 예를 들어, 질화물을 이용하여 300Å ~ 1000Å의 두께로 형성하고, 바람직하게는 약 500Å의 두께로 형성한다.



【보정대상항목】 식별번호 34

【보정방법】 정정

【보정내용】

다음, CMP 공정 또는 전면식각 공정을 실시하여 층간절연막(108)을 평탄화시키고, 게이트 하드마스크(104b) 상에 약 1000Å의 두께(t)가 남도록 한다.

【보정대상항목】 식별번호 42

【보정방법】 정정

【보정내용】

이어서, 게이트 하드마스크(104b)의 상부 표면이 노출될 때까지 층간절연막(108) 및 폴리실리콘막(112)을 CMP 공정으로 평탄화 식각 하면, 도 3e에 도시된 바와 같이, 스토리지노드 콘택 플러그(112a) 및 비트라인 콘택 플러그(112b)가 서로 전기적으로 분리된다. 층간절연막(108) 및 폴리실리콘막(112)에 대한 CMP 공정은 통상의 산화막 식각용 슬러리를 사용하여 수행된다.

【보정대상항목】 식별번호 44

【보정방법】 정정

【보정내용】

심 현상은 소자의 집적도가 증가하여 개구부의 면적이 감소함에 따라 더욱 심화되며, 특히 전술한 종래기술에서와 같이 스페이서용 절연막을 식각하여 게이트 상단부에서 경사를 갖도록 하는 것은 이러한 심 현상을 심화시키는 원인이 된다.

【보정대상항목】 식별번호 45

【보정방법】 정정

【보정내용】

한편, 전술한 방법 이외에 콘택영역을 충분히 확보하기 위해 스페이서용 절연막 위에서 식각멈춤을 한 다음, 포토레지스트 스트립과 습식세정을 실시한 후, 콘택영역에서의 질화막 즉, 스페이서용 절연막 제거 단계에서 후속 공정인 소자 간 격리 단계에서 충분한 게이트 상층부의 하드마스크 두께를 확보하기 위해 피복특성이 열악한 PECVD(Plasma Enhanced Chemical Vapor Deposition) 산화막 또는 USG(Undoped Silicate Glass)막을 증착하여 습식세정으로 게이트 하드마스크에만 산화막을 남긴 다음에 건식식각으로 질화막을 제거하는 공정을 실시하는 방법이 사용된다.

【보정대상항목】 식별번호 46

【보정방법】 정정

【보정내용】

이 경우에는 산화막 습식세정시 절연막의 언더컷이 발생하여 후속 SAC 플러그 형성시 심 현상을 유발시킨다. 아울러, 콘택영역을 확장하기 위해 습식세정 시간을 늘릴 수록 심 현상은 더욱 심해진다.



【보정대상항목】 식별번호 48

【보정방법】 정정

【보정내용】

도 4를 참조하면, 전술한 바와 같이 화살표 방향으로 습식 세정시간을 증가 시킬수록 심(X) 발생이 증가함을 알 수 있다.

【보정대상항목】 식별번호 51

【보정방법】 정정

【보정내용】

본 발명은 반도체 소자 제조 공정 중 SAC 식각후 버퍼산화막 증착 전에 질 화막 등의 어택방지막을 증착함으로써, 후속 세정 공정에 따른 절연막의 언더컷을 방지하여 콘택홀 형성을 위한 식각 단면에서의 보잉 프로파일 발생을 방지하여 폴리실리콘 플러그의 심 현상을 방지할 수 있도록 한다.

【보정대상항목】 식별번호 69

【보정방법】 정정

【보정내용】

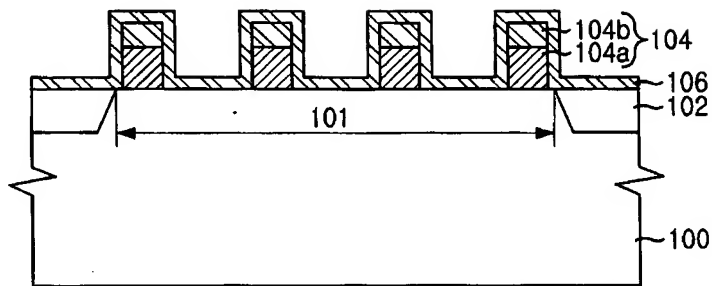
어택방지막(513)은 습식세정에 따른 케미컬이 중간절연막(508)에 직접 닿지 않도록 막아주는 역할만을 할 수 있으면 되고, 또한 콘택영역의 감소를 최소화하기 위해 10Å ~ 100Å 정도로 얇게 증착하는 것이 바람직하다.

【보정대상항목】 도 3a

【보정방법】 정정

【보정내용】

【도 3a】

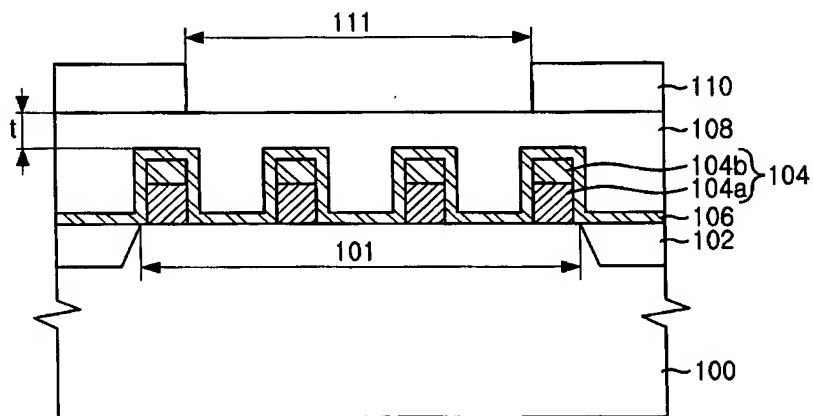


【보정대상항목】 도 3b

【보정방법】 정정

【보정내용】

【도 3b】

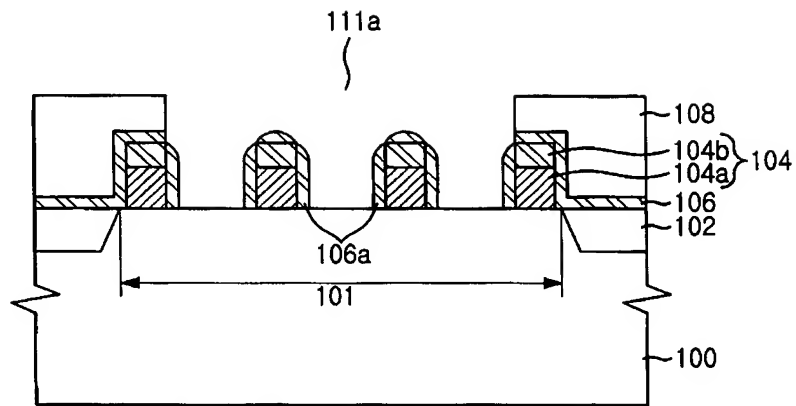


【보정대상항목】 도 3c

【보정방법】 정정

【보정내용】

【도 3c】

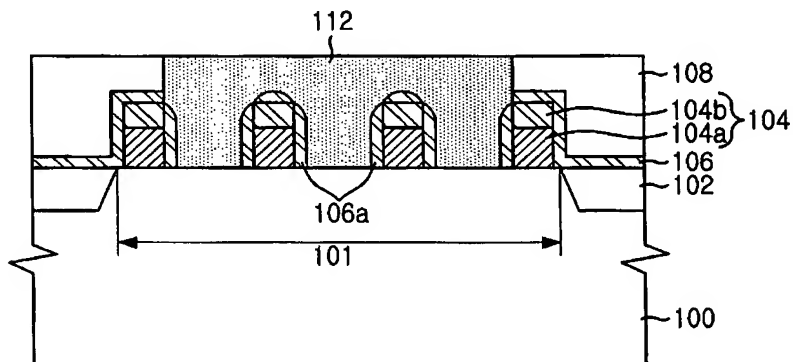


【보정대상항목】 도 3d

【보정방법】 정정

【보정내용】

【도 3d】

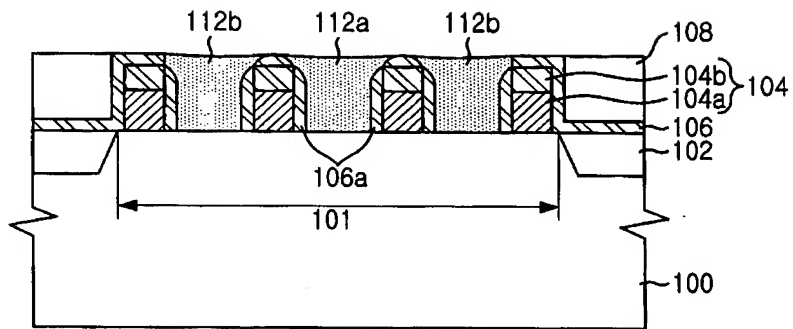


【보정대상항목】 도 3e

【보정방법】 정정

【보정내용】

【도 3e】





1020020037257

출력 일자: 2003/5/15

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2002.06.29
【발명의 명칭】	플러그 심을 억제할 수 있는 반도체소자 제조방법
【발명의 영문명칭】	METHOD FOR FABRICATING SEMICONDUCTOR DEVICE WITH IMPROVED REDUCTION OF SEAM
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이성권
【성명의 영문표기】	LEE, Sung Kwon
【주민등록번호】	640301-1268621
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 현대7차아파트 706-1401
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 성 (인) 특허법인 신
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	10 면 10,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	39,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 반도체소자 제조방법에 관한 것으로, 특히 절연막의 언더컷에 의한 폴리 실리콘 플러그의 심 현상을 방지하기에 적합한 반도체소자 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 기판 상에 이웃하는 다수의 게이트전극을 형성하는 단계; 상기 게이트전극을 포함한 프로파일을 따라 스페이서용 절연막과 그 전면에 층간절연막을 차례로 형성하는 단계; 상기 층간절연막을 선택적으로 식각하여 상기 게이트전극 사이의 상기 스페이서용 절연막을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀이 형성된 프로파일을 따라 케미컬에 의한 상기 층간절연막의 어택을 방지하기 위한 어택방지막을 형성하는 단계; 상기 어택방지막 상에 오버행 구조의 희생절연막을 형성하는 단계; 상기 콘택홀 저면을 습식세정하여 개구부를 확장하는 단계; 상기 콘택홀 저면의 상기 스페이서용 절연막과 상기 어택방지막을 선택적으로 제거하여 상기 기판 표면을 노출시키는 단계; 상기 노출된 기판 표면에 도통되도록 전도막을 형성하는 단계; 및 상기 전도막과 상기 층간절연막을 평탄화시켜 격리된 플러그를 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

【대표도】

도 5f

【색인어】

심(Seam), SAC, 비트라인, 플러그, 비트라인콘택, 스토리지노드 콘택.

【명세서】

【발명의 명칭】

플러그 심을 억제할 수 있는 반도체소자 제조방법 {METHOD FOR FABRICATING SEMICONDUCTOR DEVICE WITH IMPROVED REDUCTION OF SEAM}

【도면의 간단한 설명】

도 1은 폴리실리콘 플러그 형성 후의 공정 평면을 도시한 SEM 사진.

도 2는 폴리실리콘 플러그 형성 후의 공정 단면을 도시한 SEM 사진.

도 3a 내지 도 3e는 종래기술에 따른 반도체소자의 자기정렬콘택 형성 공정을 도시한 단면도.

도 4는 세정 시간 증가에 따른 폴리실리콘 플러그의 심 발생을 도시한 평면 SEM 사진.

도 5a 내지 도 5f는 본 발명에 따른 반도체소자의 자기정렬콘택 형성 공정을 도시한 단면도.

도 6은 게이트전극 패턴과 절연막 패턴을 포함하는 반도체소자를 개략적으로 도시한 평면도.

* 도면의 주요부분에 대한 부호의 설명 *

500 : 기판 501 : 활성영역

502 : 소자격리막 504a : 게이트전극

504b : 게이트 하드마스크 506a : 스페이서

508 : 층간절연막

512b : 비트라인 콘택 플러그 513a : 어택방지막

512a : 스토리지노드 콘택 플러그

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 반도체소자 제조방법에 관한 것으로 특히, 자기정렬콘택(Self Align Contact; 이하 SAC라 함) 플러그 형성 단계에서의 폴리실리콘 플러그의 심(Seam) 억제 방법에 관한 것이다.
- <15> 소자의 집적도 향상을 통하여 포토레지스트를 이용한 패턴 형성 공정 자체의 마진과 오버레이의 정확도(Overlay accuracy)를 안정적으로 확보하기가 어렵게 됨에 따라 SAC 공정이 도입되었는 바, SAC 공정은 콘택홀 등의 패턴을 형성함에 있어서 별도의 마스크를 사용하지 않고 이미 증착된 물질을 이용하여 식각을 하는 방식으로 비용 감소에 큰 역할을 하는 것으로, SAC 공정 자체는 여러가지 방법을 사용하고 있으나 대표적인 방법으로는 질화막을 식각방지막으로 사용한다.
- <16> 또한, 집적도 증가에 따라 층간 콘택 공정이 적용되었고, 이러한 층간 콘택을 이용한 플러그가 도입되었다. 예컨대, 0.15 μ m급 반도체소자에서는

비트라인콘택(Bitline contact)과 스토리지노드콘택(Storagenode contact)을 형성할 때 원형(Hole type) 콘택마스크를 사용하는데, 이는 사진식각공정의 오정렬(Mis-alignment)로 인하여 콘택영역 확보에 어려움이 있다. 이를 개선하기 위하여 이중의 절연막질간 예컨대, 산화막과 질화막의 식각선택비 차이를 이용하는 전술한 바와 같은 SAC 공정을 도입하였다.

<17> SAC에 의한 플러그 식각시 T형 플러그 마스크 또는 I형 플러그 마스크를 이용하는데, 이는 플러그간을 절연시키기 위한 산화막을 식각하여 플러그 콘택홀을 형성한 후, 플러그 콘택홀에 예컨대, 폴리실리콘을 증착하고 이를 화학기계적연마(Chemical Mechanical Polishing; 이하 CMP라 함) 공정으로 평탄화시켜 콘택홀에 플러그를 매립시키는 기술인 바, 층간절연막(Inter Layer Dielectric; ILD)에 의해 절연된 하부전도층과 상부전도층간의 콘택을 실시함에 있어서, 콘택홀 형성후 이 콘택홀 내부에만 폴리실리콘 등의 플러그 물질을 매립하여 플러그를 형성하는 이러한 방법이 널리 사용되고 있다.

<18> 한편, 이러한 SAC 형성 단계에서의 문제점 중의 하나가 절연막의 언더컷(Undercut)에 의한 토폴로지(Topology)의 열화로 인해 폴리실리콘을 플러그 물질로 사용하는 경우에 심이 발생하기 쉽다는 것이다.

<19> 도 1은 폴리실리콘 플러그 형성 후의 공정 평면을 도시한 SEM 사진이다.

<20> 도 1을 참조하면, 스토리지노드콘택 플러그(SNC) 및 비트라인콘택 플러그(BLC)가 형성되어 있으며, 이러한 플러그들 중에 심(X)이 발생됨을 알 수 있다.

<21> 이러한 심의 발생은 SAC 식각 후 게이트 하드마스크와 절연막의 증착에 따라 형성된 프로파일 상의 문제에 기인하는 것으로 볼 수 있다.

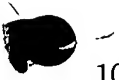
- <22> 도 2는 폴리실리콘 플러그 형성 후의 공정 단면을 도시한 SEM 사진이다.
- <23> 도 2를 참조하면, 전술한 심의 발생은 절연막의 언더컷에 의한 네가티브 경사 (Negative slope, Y)에 기인하는 것으로 플러그 격리(Isolation) 후 이러한 취약 지역에 심(X)이 발생하는 것이 관찰된다.
- <24> 전술한 심은 소자의 누설전류의 증가 등 소자의 특성을 열화시키는 주원인으로 작용한다.
- <25> 도 3a 내지 도 3e는 종래기술에 따른 반도체소자의 자기정렬콘택 형성 공정을 도시한 단면도이다.
- <26> 도 3a를 참조하면, 종래기술에 따른 반도체 메모리 장치의 SAC 플러그 형성 방법은 먼저, 반도체 기판(100) 상에 활성영역(101)과 비활성영역을 정의하기 위해 소자격리막(102)을 형성한다. 소자격리막(102)은 예컨대, LOCOS(LOCAl Oxidation of Silicon) 방법 또는 얇은 트렌치 격리(Shallow Trench Isolation; 이하 STI라 함) 방법 등을 이용한다.
- <27> 활성영역(101)은 보통 반도체 기판(100)의 상부에서 보아 예를 들어, 긴 타원 형태로 형성한다. 반도체 기판(100) 상에 산화막 계열의 게이트절연막(도시하지 않음)을 사이에 두고, 게이트 전극용 전도막(104a) 및 게이트 하드마스크(104b)를 차례로 형성한다. 상기 게이트절연막은 예를 들어, 50Å 내지 100Å의 두께 범위 내로 형성된다

- <28> 여기서, 게이트 전극용 전도막(104a)은 예컨대, 폴리실리콘막, 텅스텐, 텅스텐질화막 또는 텅스텐 실리사이드막(tungsten silicide) 등이 단독 또는 적층된 다층막으로 형성한다.
- <29> 게이트 하드마스크(104b)는 후속 공정으로 형성되는 층간절연막(108)과 식각 선택비를 갖는 물질 예를 들어, 실리콘 질화막(siliconnitride layer)을 이용한다.
- <30> 게이트 하드마스크(104b)는 1000 Å ~ 2000 Å의 두께로 형성한다.
- <31> 게이트전극(104a) 양측의 활성영역(101)에 LDD(lightly doped drain) 구조를 위한 저농도 소오스/드레인 불순물 이온을 주입한다. 게이트전극(104a) 및 게이트 하드마스크(104b)를 포함하여 반도체 기판(100) 전면에 게이트 스페이서형성용 절연막(106)을 증착하는 바, 스페이서용 절연막(106)은 게이트 하드마스크(104b)와 마찬가지로, 후속 공정에 의해 형성되는 층간절연막(108)과 식각선택비를 갖는 물질 예를 들어, 질화물을 이용하여 300 Å ~ 1000 Å의 두께로 형성하고, 바람직하게는 약 500 Å의 두께로 형성한다.
- <32> 도면에는 도시되지 않았으나, 코아(core) 및 주변회로(peripheral) 영역이 오픈(open) 되도록 포토레지스트 패턴을 형성한다. 이 포토레지스트 패턴을 마스크로 사용하여 스페이서용 절연막(106)이 전면식각 공정으로 식각 되어 코아 및 주변회로 영역의 게이트 스페이서를 형성한다. 이어서, 게이트 스페이서 양측의 활성 영역 상에 고농도 소오스/드레인 불순물 이온을 주입하여 코아 및 주변회로 영역의 트랜지스터를 완성한다. 이때, 셀 어레이 영역의 스페이서용 절연막(106)은 식각되지 않고 남게 되어, 후속 SAC 식각 공정시 층간절연막(108)에 대한 식각정지막(etch stopping layer)으로 사용된다.

- <33> 도 3b에 있어서, 상기 스페이서용 절연막(106)을 포함하여 반도체 기판(100) 전면
에 층간절연막(108)을 형성한다. 층간절연막(108)은 예를 들어 산화막으로서, 공극
(void)을 발생시키지 않는 갭-필(gap-fill) 특성이 우수한 막질을 이용하여 3000Å ~
9000Å의 두께로 증착하고 바람직하게는, 약 5000Å의 두께를 갖도록 증착한다.
- <34> 다음, CMP 공정 내지 전면식각 공정에 의해 층간절연막(108)을 평탄화시키고, 게이
트 하드마스크(104b) 상에 약 1000Å의 두께(t)가 남도록 한다.
- <35> 층간절연막(108) 상에 셀 어레이 영역의 SAC 형성 영역(111)이 오픈 되도록 포토레
지스트 패턴(110)을 형성한다. 콘택 형성 영역(111)은 각각의 스토리지노드 콘택 영역
및 비트라인 콘택 영역일 수 있고, 스토리지노드 콘택 영역과 비트라인 콘택 영역을 하
나로 묶은 머지콘택 영역일 수도 있는 바, 여기서는 머지콘택 영역을 도시하였다. 머
지콘택 영역의 경우, 예를 들어 활성 영역(101) 및 비활성 영역의 일부를 포함하는 'T'
자 형으로 형성한다.
- <36> 전술한 'T'자 형 머지콘택 영역의 경우, 각각의 스토리지노드 콘택 영역과 비트라
인 콘택 영역 보다 그 크기가 크게 되어 콘택 영역의 크기가 작아질 때 발생하는 식각정
지 현상이 방지된다. 또한, Kohyama 등이 "A Fully Printable, Self-aligned and
Planarized Stacked Capacitor DRAM Cell Technology for 1Gbit DRAM and Beyond",
symp. on VLSItech. digest of technical papers, pp. 17 - 18, 1997 에서 제안한 구조
에 비해 포토레지스트 패턴이 차지하는 면적이 증가되어 식각 선택비가 향상된다.
- <37> 도 3c에 있어서, 포토레지스트 패턴(110)을 식각마스크로 사용하여 게이트전극
(104a) 사이의 활성영역(101)의 일부가 노출될 때까지 층간절연막(108) 및 스페이서용

절연막(106)을 차례로 식각하여 콘택홀(111a)을 형성한다. 층간절연막(108) 식각시 스페이서용 절연막(106)이 식각정지층으로 사용된다.

- <38> 한편, 스페이서용 절연막(106)의 식각으로 게이트전극(104a) 및 게이트 하드마스크(104b)의 양측벽에 셀 어레이 영역의 게이트 스페이서(106a)가 형성된다.
- <39> SAC 플러그와 그 하부의 활성영역간의 접촉저항(contact resistance)을 감소시키기 위해 게이트 스페이서(106a) 양측의 활성영역 상에 불순물 이온을 주입한다.
- <40> 이어서 도 3d에 도시된 바와 같이, 포토레지스트 패턴(110)을 제거한 후, 콘택홀(111a)이 완전히 채워질 때까지 전면예 전도막 예를 들어, 폴리실리콘막(112)을 증착한다. 폴리실리콘막(112)은 3000Å ~ 7000Å의 두께로 증착한다.
- <41> 층간절연막(108)의 상부 표면이 노출될 때까지 CMP 또는 전면식각 공정으로 폴리실리콘막(112)을 평탄화 식각한다. 폴리실리콘막(112)을 CMP 공정으로 식각 하는 경우, 통상의 폴리실리콘 식각용 슬러리(slurry)를 사용한다.
- <42> 다음, 게이트 하드마스크(104b)의 상부 표면이 노출될 때까지 층간절연막(108) 및 폴리실리콘막(112)을 CMP 공정으로 평탄화 식각 하면 도 3e에 도시된 바와 같이, 스토리지노드 콘택 플러그(112a) 및 비트라인 콘택 플러그(112b)가 서로 전기적으로 분리된다. 층간절연막(108) 및 폴리실리콘막(112)에 대한 CMP 공정은 통상의 산화막 식각용 슬러리를 사용하여 수행된다.
- <43> 한편, 콘택 형성 영역(111)이 머지 콘택 영역이 아닌 경우, 스토리지노드 콘택 플러그(112a) 및 비트라인 콘택플러그(112b)를 서로 전기적으로 분리시키기 위한 평탄화 식각 공정을 생략한다.



- <44> 심 현상은 소자의 집적도가 증가하여 개구부의 면적이 감소함에 따라 개구부의 면적이 감소하게 되어 더욱 심화되며, 특히 전술한 종래기술에서와 같이 스페이서용 절연막을 식각하여 게이트 상단부에서 경사를 갖도록 하는 것은 이러한 심 현상을 심화시키는 원인이 된다.
- <45> 한편, 전술한 방법 이외에 콘택영역을 충분히 확보하기 위해 스페이서용 절연막 위에서 식각멈춤을 한 다음, 포토레지스트 스트립과 습식세정을 실시한 후, 콘택영역에서의 질화막 즉, 스페이서용 절연막 제거단계에서 후속 공정인 소자간 격리 단계에서 충분한 게이트 상층부의 하드마스크 두께를 확보하기 위해 피복특성이 열악한 PECVD(Plasma Enhanced Chemical Vapor Deposition) 산화막을 증착하여 습식세정으로 게이트 하드마스크에만 산화막을 남긴 다음에 건식식각으로 질화막을 제거하는 공정을 실시하는 방법이 사용된다.
- <46> 한편, 이 경우에는 산화막 습식세정시 절연막의 언더컷이 발생하여 후속 SAC 플러그 형성시 심 현상을 유발시킨다. 아울러, 콘택영역을 확장하기 위해 습식세정 시간을 늘릴 수록 심 현상은 더욱 심해진다.
- <47> 도 4는 세정 시간 증가에 따른 폴리실리콘 플러그의 심 발생을 도시한 평면 SEM 사진이다.
- <48> 도 4를 참조하면, 전술한 바와 같이 화살표 방향으로 세정시간을 증가할 수록 심(X) 발생이 증가함을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

<49> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 절연막의 언더컷에 의한 폴리실리콘 플러그의 심 현상을 방지하기에 적합한 반도체소자 제조방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<50> 상기의 목적을 달성하기 위해 본 발명은, 기판 상에 이웃하는 다수의 게이트전극을 형성하는 단계; 상기 게이트전극을 포함한 프로파일을 따라 스페이서용 절연막과 그 전면에 층간절연막을 차례로 형성하는 단계; 상기 층간절연막을 선택적으로 식각하여 상기 게이트전극 사이의 상기 스페이서용 절연막을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀이 형성된 프로파일을 따라 케미컬에 의한 상기 층간절연막의 어택을 방지하기 위한 어택방지막을 형성하는 단계; 상기 어택방지막 상에 오버행 구조의 희생절연막을 형성하는 단계; 상기 콘택홀 저면을 습식세정하여 개구부를 확장하는 단계; 상기 콘택홀 저면의 상기 스페이서용 절연막과 상기 어택방지막을 선택적으로 제거하여 상기 기판 표면을 노출시키는 단계; 상기 노출된 기판 표면에 도통되도록 전도막을 형성하는 단계; 및 상기 전도막과 상기 층간절연막을 평탄화시켜 격리된 플러그를 형성하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

- <51> 본 발명은 반도체 소자 제조 공정 중 SAC 식각후 버퍼산화막 증착 전에 질화막을 증착함으로써, 후속 세정 공정에 따른 절연막의 언더컷을 방지하여 폴리실리콘 플러그의 심 현상을 방지하고자 한다.
- <52> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도 5a 내지 도 5f와 도 6을 참조하여 설명한다
- <53> 도 6은 게이트전극 패턴과 절연막 패턴을 포함하는 반도체소자를 개략적으로 도시한 평면도이다.
- <54> 도 6을 참조하면, 일방향으로 다수의 게이트전극 패턴(G)이 배치되어 있으며, 게이트전극(G)과 교차하는 방향으로 절연막 패턴(ILD)이 배치되어 있다.
- <55> 전술한 도 6을 X-X'와 Y-Y' 방향으로 각각 절단한 단면을 도시한 도 5a 내지 도 5f를 참조하여 본 발명의 일실시예에 따른 반도체소자의 자기정렬콘택 형성 공정을 살펴본다.
- <56> 도 5a를 참조하면, 본 발명에 따른 반도체 메모리 장치의 SAC 플러그 형성 방법은 먼저, 반도체 기판(500) 상에 활성영역(501)과 비활성영역을 정의하기 위해 소자격리막(502)을 형성한다. 소자격리막(502)은 예컨대, LOCOS 방법 또는 STI 방법 등을 이용한 다.

- <57> 활성영역(501)은 보통 반도체 기판(500)의 상부에서 보아 예를 들어, 긴 타원 형태로 형성한다. 반도체 기판(500) 상에 산화막 계열의 게이트절연막(도시하지 않음)을 사이에 두고, 게이트 전극용 전극(504a) 및 게이트 하드마스크(504b)를 차례로 형성한다. 여기서, 게이트절연막은 예를 들어, 50 Å ~ 100 Å의 두께로 형성한다.
- <58> 여기서, 게이트 전극용 전도막은 예컨대, 폴리실리콘막, 텅스텐, 텅스텐질화막 또는 텅스텐 실리사이드막 등이 단독 또는 적층된 다층막으로 형성한다.
- <59> 게이트 하드마스크(504b)는 후속 공정으로 형성되는 층간절연막(108)과 식각 선택비를 갖는 물질 예를 들어, 실리콘 질화막을 이용하며, 게이트 하드마스크(504b)는 1000 Å ~ 2000 Å의 두께로 형성한다.
- <60> 게이트전극(504a) 양측의 활성영역(501)에 LDD 구조를 위한 저농도 소오스/드레인 불순물 이온을 주입한다. 게이트전극(504a) 및 게이트 하드마스크(504b)를 포함하여 반도체 기판(500) 전면에서 게이트 스페이서용 절연막(506)을 증착하는 바, 스페이서용 절연막(506)은 게이트 하드마스크(504b)와 마찬가지로, 후속 공정에 의해 형성되는 층간절연막(508)과 식각선택비를 갖는 물질 예를 들어, 질화물을 이용하여 300 Å ~ 1000 Å의 두께로 형성하고, 바람직하게는 약 500 Å의 두께로 형성한다.
- <61> 도면에는 도시되지 않았으나, 코아 및 주변회로 영역이 오픈 되도록 포토레지스트 패턴을 형성한다. 이 포토레지스트 패턴을 마스크로 사용하여 스페이서용 절연막(506)이 전면식각 공정으로 식각 되어 코아 및 주변회로 영역의 게이트 스페이서를 형성한다. 이어서, 게이트 스페이서 양측의 활성 영역 상에 고농도 소오스/드레인 불순물 이온을 주입하여 코아 및 주변회로 영역의 트랜지스터를 완성한다. 이때, 셀 어레이 영역의 스

페이서용 절연막(506)은 식각되지 않고 남게 되어, 후속 SAC 식각 공정시 층간절연막(508)에 대한 식각정지막으로 사용된다.

<62> 도 5b에 있어서, 스페이서용 절연막(506)을 포함한 반도체 기판(500) 전면의 층간절연막(508)을 형성한다. 층간절연막(508)은 예를 들어 산화막으로서, BPSG(BoroPhospho Silicate Glass)막, SOG(Spin On Glass)막, PE(Plasma Enhanced)산화막 등과 공극을 발생시키지 않는 갭-필 특성이 우수한 막 예컨대, APL(Advanced Planarization Layer)막 등을 이용하여 3000Å ~ 9000Å의 두께로 증착하고 바람직하게는, 약 5000Å의 두께를 갖도록 증착한다.

<63> 다음, CMP 공정 내지 전면식각 공정에 의해 층간절연막(508)을 평탄화시키고, 게이트 하드마스크(504b) 상에 약 1000Å의 두께(t)가 남도록 한다.

<64> 층간절연막(508) 상에 셀 어레이 영역의 SAC 형성 영역(511)이 오픈 되도록 포토레지스트 패턴(510)을 형성한다. 콘택 형성 영역(511)은 각각의 스토리지노드 콘택 영역 및 비트라인 콘택 영역일 수 있고, 스토리지노드 콘택 영역과 비트라인 콘택 영역을 하나로 묶은 머지콘택 영역일 수도 있는 바, 여기서는 머지콘택 영역을 도시하였다. 머지콘택 영역의 경우, 예를 들어 활성 영역(501) 및 비활성 영역의 일부를 포함하는 'T'자 형으로 형성한다.

<65> 전술한 'T'자 형 머지콘택 영역의 경우, 각각의 스토리지노드 콘택 영역과 비트라인 콘택 영역 보다 그 크기가 크게 되어 콘택 영역의 크기가 작아질 때 발생하는 식각정지 현상이 방지된다. 또한, Kohyama 등이 "A Fully Printable, Self-aligned and Planarized Stacked Capacitor DRAM Cell Technology for 1Gbit DRAM and Beyond",

symp. on VLSItech. digest of technical papers, pp. 17 - 18, 1997 에서 제안한 구조에 비해 포토레지스트 패턴이 차지하는 면적이 증가되어 식각 선택비가 향상된다.

<66> 도 5c에 있어서, 포토레지스트 패턴(510)을 식각마스크로 사용하여 게이트전극(504a) 사이의 활성영역(501)의 일부가 노출될 때까지 층간절연막(508)을 식각하여 콘택홀(511a)을 형성한다. 이 때, 층간절연막(508) 스페이서용 절연막(506)이 식각정지층으로 사용된다.

<67> 이어서, 포토레지스트 스트립 공정을 실시하여 포토레지스트 패턴(510)을 제거한 다음, 습식세정을 통해 식각 잔류물을 제거한다.

<68> 도 5d에 있어서, 콘택홀(511a)이 형성된 프로파일을 따라 어택방지막(513)을 증착하는 바, 이는 콘택영역을 확장을 위한 후속 습식세정시 층간절연막(508)의 어택을 방지하기 위한 것으로, 산화막에 비해 불산계 용액 등에 식각내성을 갖는 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열을 물질막을 이용한다.

<69> 어택방지막(513)은 습식세정에 따른 케미컬이 층간절연막(508)에 직접 닿지 않도록 막아주는 역할만을 할 수 있으면 되고, 또한 콘택영역의 축소를 최소화하기 위해 10Å ~ 100Å 정도로 얇게 증착하는 것이 바람직하다.

<70> 연속해서, 피복특성이 열악한 PE-TEOS(Plasma Enhanced-Tetra Ethyl Ortho Silicate)막 또는 USG(Undoped Silicate Glass)막 등을 증착하여 희생절연막(514)을 형성함으로써, 전체 프로파일 상에서 오버-행(Over-hang) 구조로 증착되도록 한다. 희생절연막(514)은 500Å ~ 2000Å 정도의 두께가 되도록 하는 것이 바람직하다.

- <71> 도 5e에 있어서, 콘택 개구부를 넓히기 위해 묽은 불산계 케미컬을 이용하여 습식 세정을 실시한다. 이 때, 어택방지막(513)은 케미컬에 의한 층간절연막(508)의 어택을 방지하여 언더컷 일어나지 않는다.
- <72> 이 때, 케미컬은 암모니아수(NH_4OH)와 불산(HF)의 비율이 50:1 ~ 500:1인 완충산화막식각제(Buffered Oxide Etchant; 이하 BOE라 함)나, 물과 불산의 비율이 50:1 ~ 500:1인 묽은 불산을 사용하는 것이 바람직하다.
- <73> 이어서, 콘택홀(511a) 저면의 스페이서용 절연막(506)과 어택방지막(513a)를 제거하며, 이 때 측벽에 게이트전극(504a)과 게이트 하드마스크(504b)의 양측벽에 스페이서 형태인 '506a'과 '513a'로 남는다.
- <74> 추가로, SAC 플러그와 그 하부의 활성영역간의 접촉저항을 감소시키기 위해 게이트 스페이서(506a) 양측의 활성영역 상에 불순물 이온주입을 실시할 수도 있다.
- <75> 이어서, 콘택홀(511b)이 완전히 채워질 때까지 전면에 전도막 예를 들어, 폴리실리콘막 또는 텅스텐막을 증착한다. 전도막은 3000Å ~ 7000Å의 두께로 증착하는 것이 바람직하다.
- <76> 층간절연막(508)의 상부 표면이 노출될 때까지 CMP 또는 전면식각 공정으로 전도막을 평탄화 식각한다. 전도막을 CMP 공정으로 식각 하는 경우, 통상의 폴리실리콘 또는 텅스텐 식각용 슬러리를 사용한다.
- <77> 다음, 게이트 하드마스크(504b)의 상부 표면이 노출될 때까지 층간절연막(508) 및 전도막을 CMP 공정으로 평탄화 식각 하면 도 5e에 도시된 바와 같이, 스토리지노드 콘택 플러그(512a) 및 비트라인 콘택 플러그(512b)가 서로 전기적으로 분리된다. 층간절연막

(508) 및 전도막(112)에 대한 CMP 공정은 통상의 산화막 식각용 슬러리를 사용하여 수행된다.

<78> 한편, 콘택 형성 영역(511)이 머지 콘택 영역이 아닌 경우, 스토리지노드 콘택 플러그(512a) 및 비트라인 콘택플러그(512b)를 서로 전기적으로 분리시키기 위한 평탄화 식각 공정을 생략한다.

<79> 전술한 본 발명은, 스토리지노드 또는 비트라인 콘택 플러그 형성을 위한 콘택홀 형성 후 콘택홀 프로파일을 따라 어택방지막을 형성하여 콘택 영역 확장을 위한 세정시 층간절연막의 케미컬 어택을 방지할 수 있어, 후속 플러그 형성시 심 현상을 방지할 수 있음을 실시예를 통해 알아 보았다.

<80> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<81> 상술한 바와 같은 본 발명은, 플러그의 심 현상을 억제하여 누설전류 특성을 개선할 수 있어 궁극적으로, 반도체소자의 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

【특허청구범위】**【청구항 1】**

기판 상에 이웃하는 다수의 게이트전극을 형성하는 단계;

상기 게이트전극을 포함한 프로파일을 따라 스페이서용 절연막과 그 전면에 층간 절연막을 차례로 형성하는 단계;

상기 층간절연막을 선택적으로 식각하여 상기 게이트전극 사이의 상기 스페이서용 절연막을 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀이 형성된 프로파일을 따라 케미컬에 의한 상기 층간절연막의 어택을 방지하기 위한 어택방지막을 형성하는 단계;

상기 어택방지막 상에 오버행 구조의 희생절연막을 형성하는 단계;

상기 콘택홀 저면을 습식세정하여 개구부를 확장하는 단계;

상기 콘택홀 저면의 상기 스페이서용 절연막과 상기 어택방지막을 선택적으로 제거하여 상기 기판 표면을 노출시키는 단계;

상기 노출된 기판 표면에 도통되도록 전도막을 형성하는 단계; 및

상기 전도막과 상기 층간절연막을 평탄화시켜 격리된 플러그를 형성하는 단계를 포함하는 반도체소자 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 어택방지막은 질화막을 이용하여 10Å 내지 100Å의 두께로 형성하는 것을 특징으로 하는 반도체소자 제조방법.

【청구항 3】

제 1 항에 있어서,

상기 습식세정하는 단계에서,

암모니아수와 불산의 비율이 50:1 내지 500:1인 완충산화막식각제 또는 물과 불산의 비율이 50:1 내지 500:1인 묽은 불산을 이용하는 것을 특징으로 하는 반도체소자 제조방법.

【청구항 4】


제 1 항에 있어서,

상기 회생절연막은,

PE-TEOS(Plasma Enhanced-Tetra Ethyl Ortho Silicate)막 또는 USG(Undoped Silicate Glass)막을 이용하여 500Å 내지 2000Å의 두께로 형성하는 것을 특징으로 하는 반도체소자 제조방법.

【청구항 5】

제 1 항에 있어서,



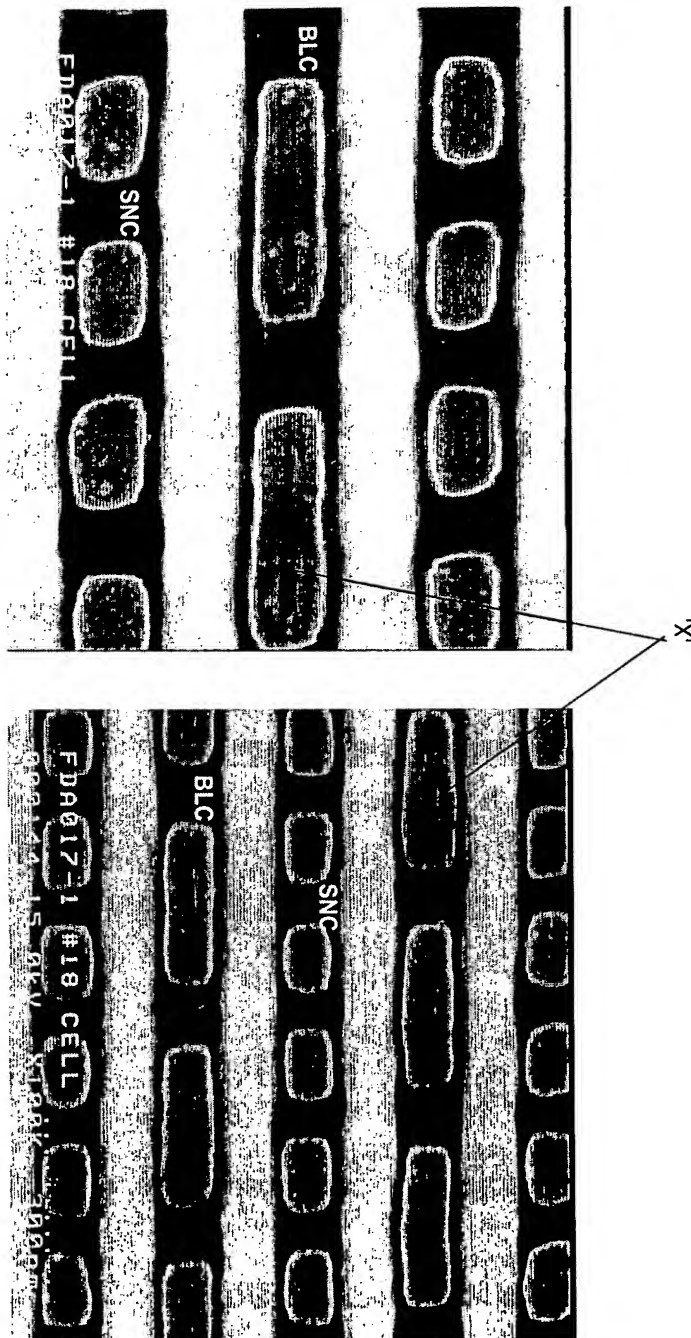
1020020037257

출력 일자: 2003/5/15

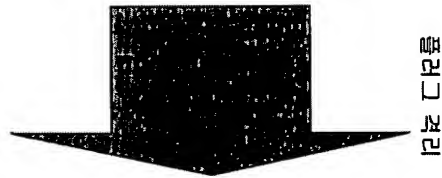
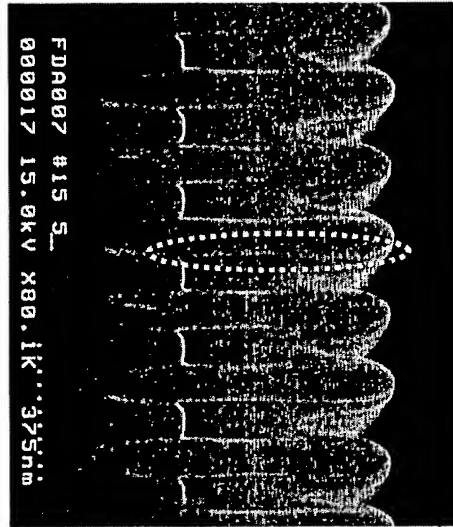
상기 전도막은 폴리실리콘막 또는 텅스텐막을 포함하는 것을 특징으로 하는 반도체 소자 제조방법.

【도면】

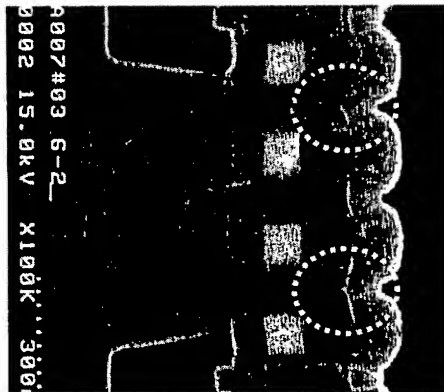
【도 1】



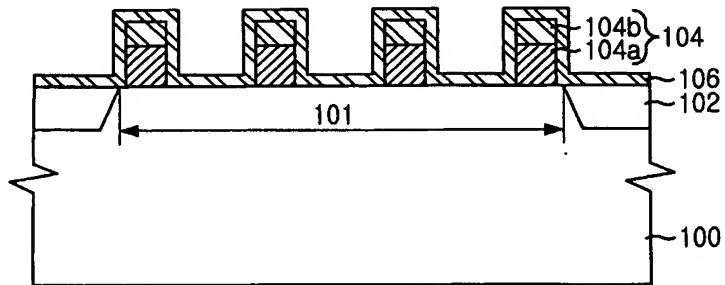
【도 2】



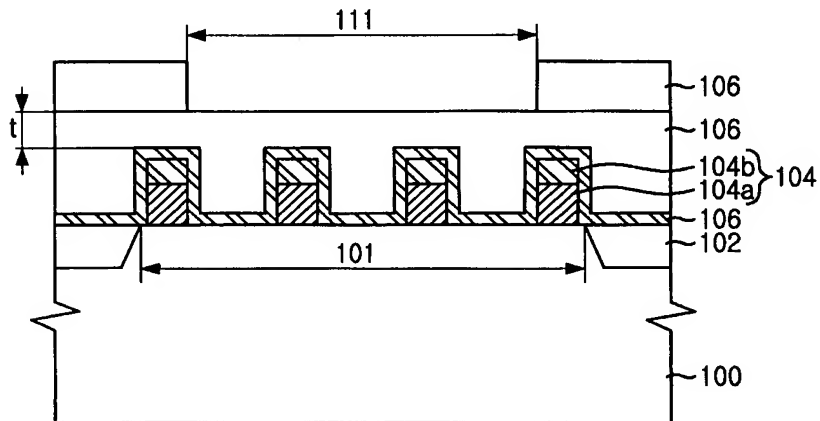
플러그 격리



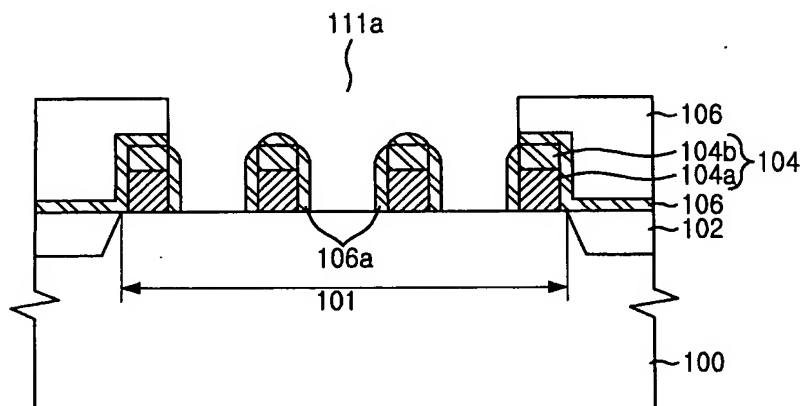
【도 3a】



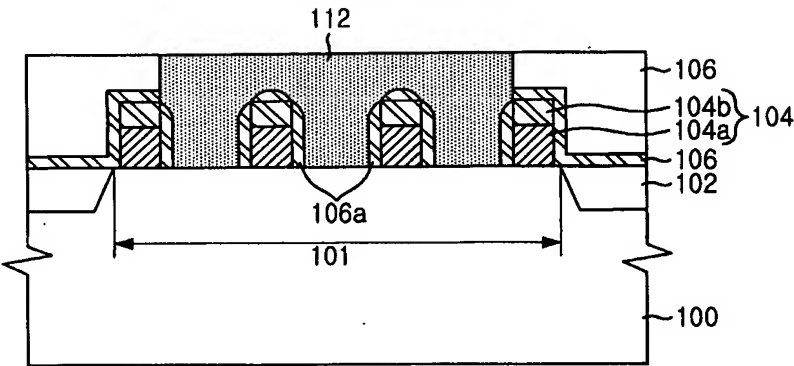
【도 3b】



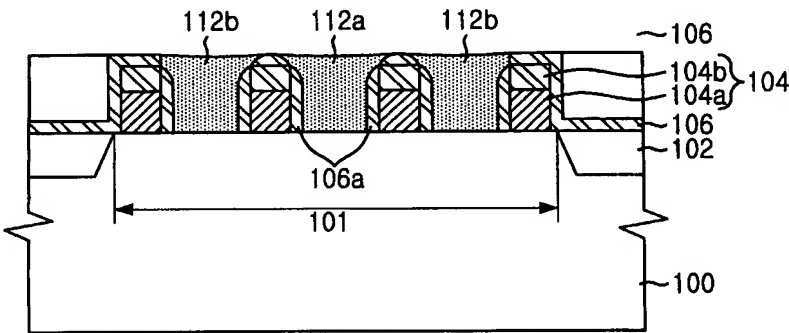
【도 3c】



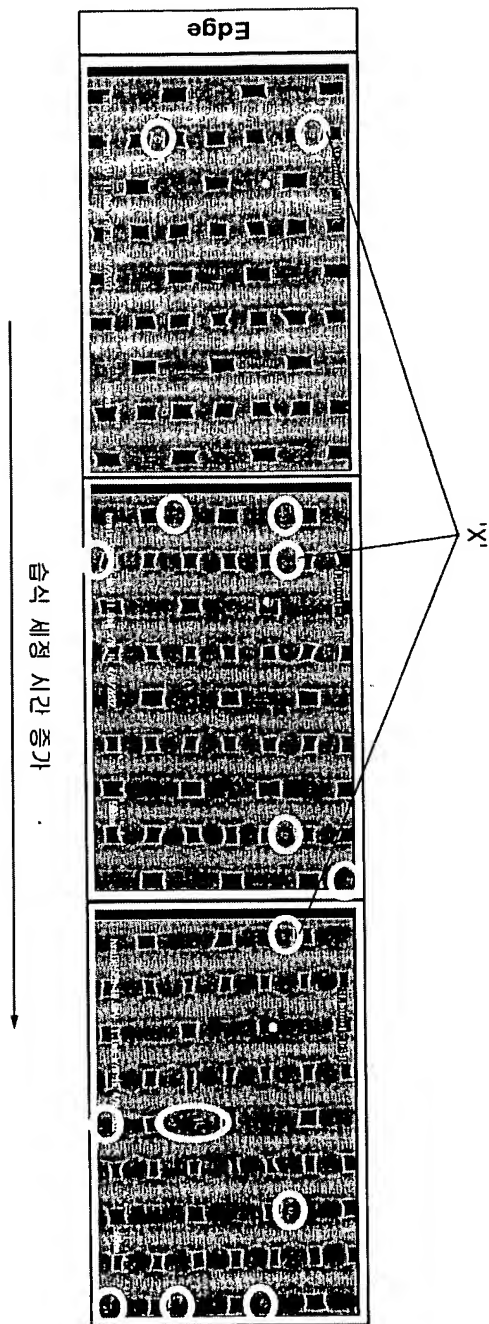
【도 3d】



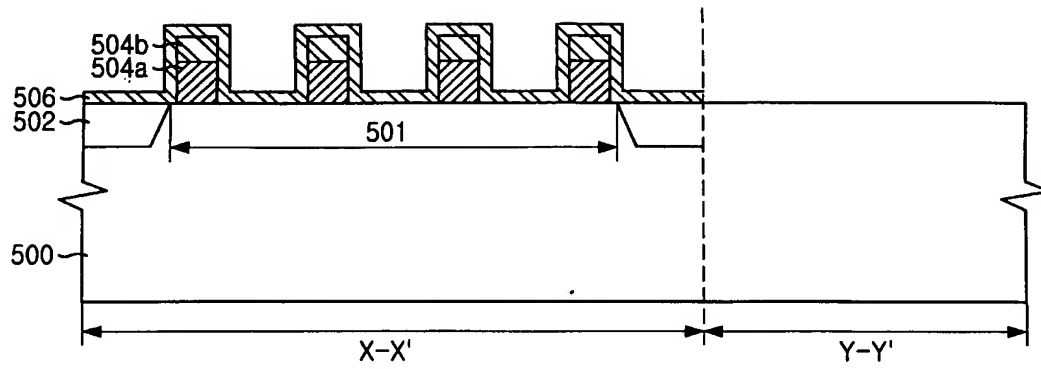
【도 3e】



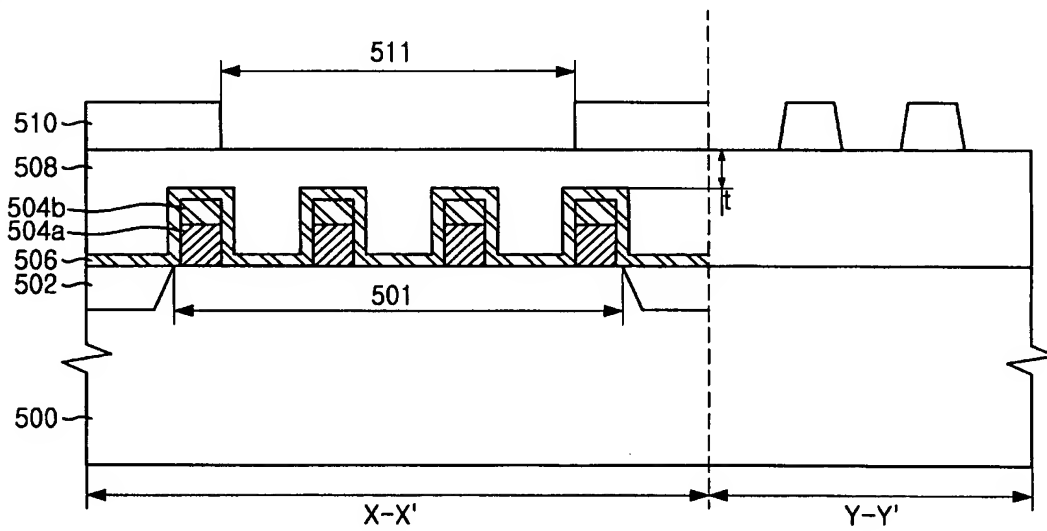
【도 4】



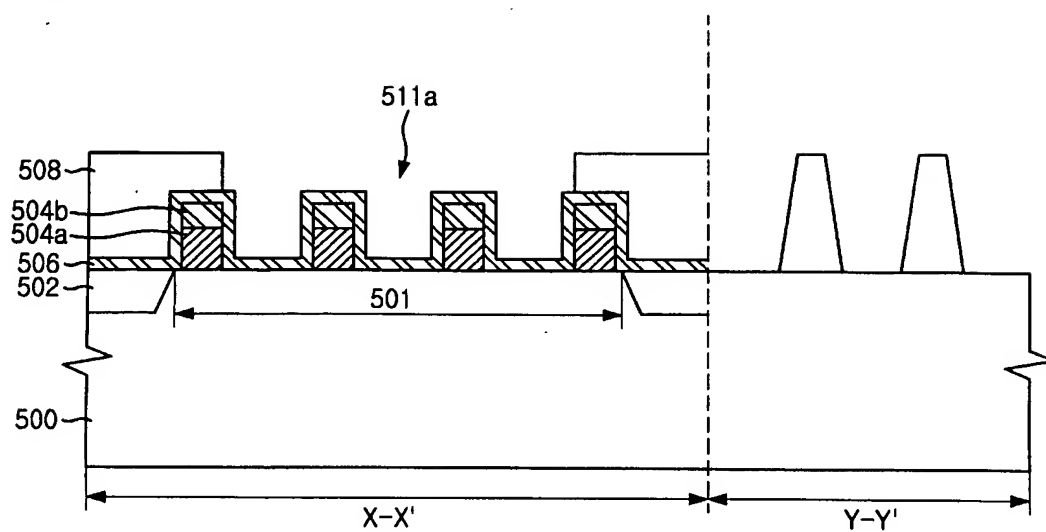
【도 5a】



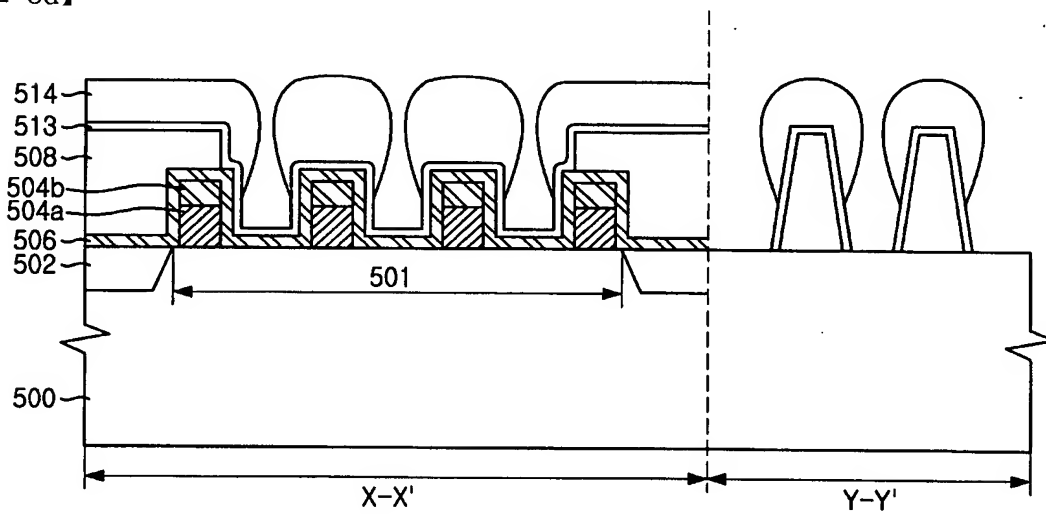
【도 5b】



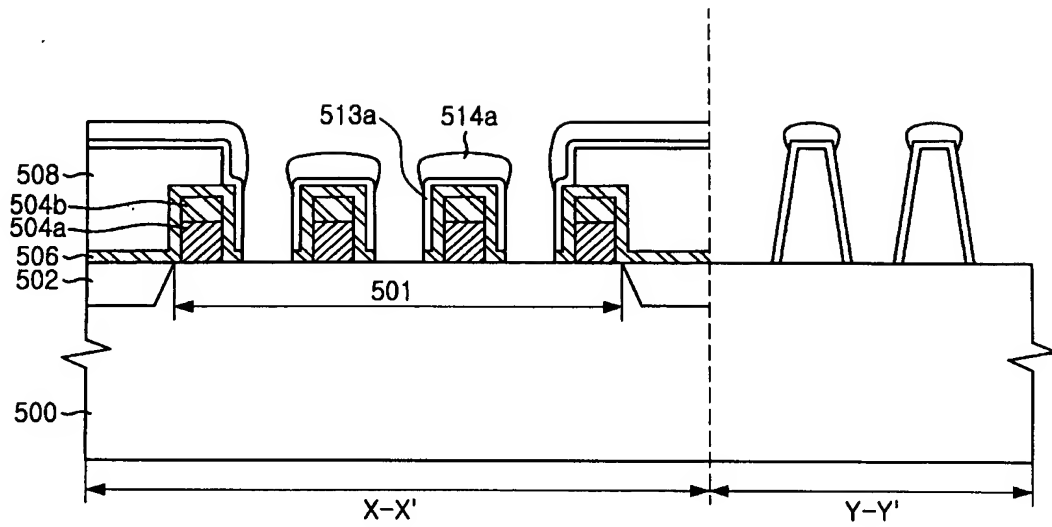
【도 5c】



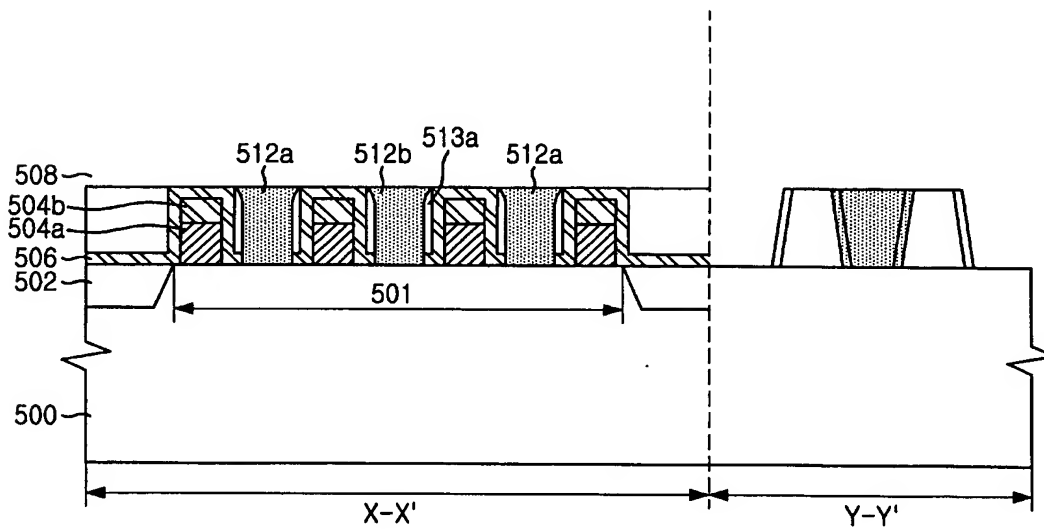
【도 5d】



【도 5e】



【도 5f】



【도 6】

